

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
5. Dezember 2002 (05.12.2002)

PCT

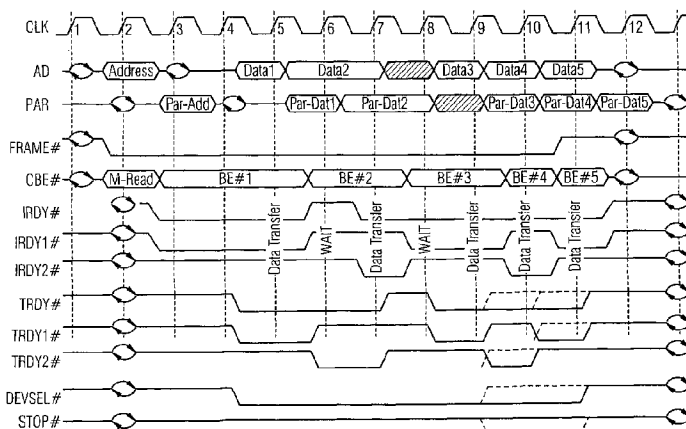
(10) Internationale Veröffentlichungsnummer
WO 02/097644 A2

- (51) Internationale Patentklassifikation⁷: **G06F 13/42** (71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von US): **SIEMENS AKTIENGESSELLSCHAFT** [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE02/01728
- (22) Internationales Anmeldedatum: 14. Mai 2002 (14.05.2002) (72) **Erfinder; und**
(75) **Erfinder/Anmelder** (nur für US): **KÜFNER, Holger** [DE/DE]; Matth.-Grünwald-Ring 81, 97422 Schweinfurt (DE).
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch (74) **Gemeinsamer Vertreter:** **SIEMENS AKTIENGESSELLSCHAFT**; Postfach 22 16 34, 80506 München (DE).
- (30) Angaben zur Priorität: 101 25 886.0 28. Mai 2001 (28.05.2001) DE (81) **Bestimmungsstaat** (national): US.

[Fortsetzung auf der nächsten Seite]

(54) **Title:** ENLARGED PCI BUS PROTOCOL FOR TRANSMITTING DATA OVER LARGE DISTANCES

(54) **Bezeichnung:** ERWEITERTES PCI BUS-PROTOKOLL FÜR DIE DATENÜBERTRAGUNG ÜBER GRÖßERE DISTANZEN



(57) **Abstract:** The PCI bus protocol in itself can only be used for the synchronous transmission of information over short distances (< 30cm). In order to transmit information over larger distances, an asynchronous method must be selected, i.e. a method which does not involve the synchronisation of signals. Nevertheless, the present invention uses the PCI protocol for transmission over larger distances. In order to achieve asynchronous signalisation by means of the PCI bus, an additional control line is respectively introduced for the control lines InitiatorReady (IRDY#) and TargetReady (TRDY#). Said control lines simulate the absent clock signal. The two lines, which respectively belong to a type of control work in opposite directions, in such a way that the temporal information of the clock signal necessary for the protocol can be obtained from the control lines, and higher reliability is achieved as the information content is partly redundant. Contrary to the standard handshake methods for asynchronous protocols, the enlarged PCI protocol means that there are no delays caused by "return signals".

(57) **Zusammenfassung:** Das PCI Busprotokoll kann an sich nur zur synchronen Übertragung von Informationen über kurze Distanzen (< 30cm) angewendet werden. Um Informationen über grössere Distanzen übertragen zu können muss ein asynchrones Verfahren gewählt werden, d.h. ein Verfahren bei dem auf die Signalsynchronisation verzichtet wird.

[Fortsetzung auf der nächsten Seite]



(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

— *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Erklärungen gemäß Regel 4.17:

— *hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Bei der vorliegenden Erfindung wird dennoch das PCI Protokoll zur Übertragung über grössere Distanzen verwendet. Zur Erreichung einer asynchronen Signalisierung über den PCI-Bus wird dabei je eine zusätzliche Steuerleitung für die Steuerleitungen "Initiator-Ready" (IRDY#) und TargetReady (TRDY#) eingeführt. Diese Steuerleitungen simulieren dabei das nicht vorliegende Taktsignal. Die beiden jeweils zu einer Steuerart gehörenden Leitungen arbeiten gegenläufig, so dass zum einen die für das Protokoll notwendigen Zeit-Informationen des Taktsignals aus den Steuerleitungen gewonnen werden können, zum anderen durch die Gegenläufigkeit eine höhere Zuverlässigkeit durch den zum Teil redundanten Informationsgehalt erreicht wird. Entgegen den üblichen Handshake-Verfahren für asynchrone Protokolle, finden bei dieser Einbindung des erweiterten PCI Protokolls keine Zeitverzögerungen durch "Rücksignalisierungen" statt.

Beschreibung

Erweitertes PCI Bus-Protokoll für die Datenübertragung über größere Distanzen

5

Die Erfindung liegt auf dem Gebiet der Computertechnologie und bezieht sich im Speziellen auf ein erweitertes PCI Busprotokoll.

- 10 Das PCI (Peripheral Component Interconnect) Bus Protokoll bildet den Grundstock des Informationsaustausches in fast allen modernen PCs. Der PCI-Bus und die PCI Specification erlauben es verschiedenen Peripherie-Bestandteilen, wie zum Beispiel SCSI-Karten und SCSI-Controller oder Videokarten und
15 ähnlichen Einsteckkarten, sehr schnellen Datentransfer durchzuführen, ohne Dabei die Prozessorunterstützung des Hauptrechners zu beanspruchen. Ein weiterer Vorteil ist die sogenannte Plug & Play, die es ermöglicht verschiedene Karten praktisch dynamisch während des Bootup zu erkennen und zu
20 adressieren.

Das PCI Protokoll ermöglicht auch den sogenannten DMA (Direct Memory Access), wodurch die verschiedenen Ressourcen ohne Beteiligung des Prozessors Daten direkt austauschen können.

- 25 Die PCI Specification bezieht sich dabei auf einen Initiator und einen Target. Wenn ein Datenaustausch durchgeführt werden soll, steuert der Initiator die Adressen und Steuerleitungen des PCI-Busses und ladet so die Daten in den Target.

- 30 Zur Zeit wird das PCI-Protokoll nur zur Datenübertragung innerhalb von Computern über eine maximale Distanz von 30 cm verwendet. Der Grund dafür liegt in der Tatsache, dass auf weitere Distanzen die Synchronisation auf das Taktsignal CLK nicht gewährleistet werden kann.

35

Die Übertragung von Daten über größere Distanzen wird bis heute auf herkömmliche Weise gelöst, in dem die Daten in ein

standardisiertes Übertragungsprotokoll codiert werden und u.U. mit einem anderen Übertragungsmedium (als mit PCI üblich) übertragen werden. Als Beispiel sei eine Datenübertragung mittels Lichtwellenleiter (LWL) genannt: Die zu übertragenden Daten müssen, nach Übernahme vom PCI-Bus, zuerst von parallel nach seriell transformiert werden, durch den LWL-Verstärker angepasst, durch den LWL übertragen und letztendlich von seriell nach parallel zurückgewandelt werden. Bei solchen seriellen Datenübertragungen erreicht man Transferraten von ca. 0,03 Mbyte/s, bei paralleler Datenübertragung ca. 0,3 Mbyte/s. LAN-Netzwerke arbeiten mit einer maximalen Übertragungsrate von 1,25 Mbyte/s bzw. 12,5 Mbyte/s (bei 100 mbps-Karten).

Es ist Aufgabe dieser Erfindung ein erweitertes PCI Bus-Protokoll vorzuschlagen, das es erlaubt die PCI Specification für die Datenübertragung über größere Distanzen anzuwenden. ,

Diese Aufgabe wird durch die in den Patentansprüchen angegebenen Merkmalen gelöst. Dabei definiert Anspruch 1 ein Verfahren zur Übertragung von Informationen über größere Distanzen zwischen Peripheriegeräten die an einem PCI-Bus angeschlossen sind, wobei der PCI-Bus mit einer Steuerleitung InitiatorReady (IRDY#) und mit einer Steuerleitung TargetReady (TRDY#) betrieben wird. Die Erfindung kennzeichnet sich dadurch aus, dass zur asynchronen Signalisierung zwischen den Geräten je eine zusätzliche Steuerleitung für die Steuerleitungen InitiatorReady (IRDY#) und TargetReady (TRDY#) eingeführt werden und ein nicht vorliegendes Taktsignal mit den Steuerleitungen Initiator-Ready und Target-Ready simuliert wird, die den Datenaustausch zwischen den Geräten ohne handshakeartige Rücksignalisierung ermöglichen.

In einer Weiterentwicklung des erfindungsgemäßen Verfahrens werden die jeweiligen Paare der Steuerleitungen Initiator-Ready (IRDY1#, IRDY2#) und der Steuerleitungen Target-Ready

(TRDY1#, TRDY2#) gegenläufig betrieben, und die für das PCI-Protokoll notwendigen Zeit-Informationen des Taktsignals aus den Steuerleitungen gewonnen.

- 5 Der unabhängige Anspruch 3 definiert ein erweitertes PCI-Busprotokoll das es erlaubt an den PCI-Bus angeschlossenen Peripheriegeräten Informationsaustausch über längere Strecken durchzuführen. Wie im normalen PCI-Bus agiert eines der Peripheriegeräte als Initiator und das andere Peripheriegerät
10 agiert als Target. Der Informationsaustausch zwischen den als Initiator und Target agierenden Peripheriegeräten wird ohne festes Taktsignal (CLK) synchronisiert.

- In einer vorteilhaften Weiterentwicklung wird die
15 Zeitsynchronisations-Funktion des im standardisierten PCI-Busprotokoll zur Synchronisation der Peripheriegeräte verwendeten Taktsignals (CLK) durch zwei zueinander gegenläufige Signale (IRDY1#,IRDY2#) übernommen. Diese zueinander gegenläufigen Signale (IRDY1#, IRDY2#) ersetzen
20 das im standardisierten PCI-Busprotokoll die Aktivierung des Initiators anzeigende Signal InitiatorReady (IRDY#).

- Das im standardisierten PCI-Busprotokoll die Aktivierung des Targets anzeigende Signal (TRDY#) wird erfindungsgemäß durch
25 zwei zueinander gegenläufige Signale (TRDY1#, TRDY2#) ersetzt.

- Das erfindungsgemäß erweiterte PCI-Busprotokoll kann vorteilhafterweise zur Datenübertragung zwischen einem Target
30 und einem vom Target mehr als 30 cm entfernten Initiator verwendet werden (der Abstand zwischen Target und Initiator wird dabei entlang der Leitungsstrecke des Signal-Busses zwischen Target und Initiator gemessen).

- 35 Mittels des erweiterten PCI-Busprotokolls können Daten, die bereits durch das PCI-Protokoll transferiert werden (heutzutage der Standard in PC-Systemen), ohne zeitlichen

Codierungsverlust über eine größere Distanz (10 - 15 m) übertragen werden.

Bei der direkten Verwendung des neuen Protokolls über
5 klassische elektrische Leitungen, ergibt sich ungefähr ein
zweifacher Zeitvorteil durch den Wegfall der
Protokollumsetzung sowie ein einfacheres Hardware-Design
gegenüber der LWL-Lösung. Die Produktkosten liegen durch die
einfachere Realisierungsmöglichkeiten (geringere Anzahl von
10 Chips, geringeres Platinenvolumen) ebenfalls wesentlich
günstiger. Mit der vorgeschlagenen Lösung werden
Datenübertragungsraten von ca. 60 Mbyte/s auf 10 m erreicht..
Wie oben erwähnt erreicht man vergleichsweise bei serieller
Datenübertragung Transferraten von ca. 0,03 Mbyte/s, bei
15 paralleler Datenübertragung ca. 0,3 Mbyte/s. Die Transferraten
von Kleinnetzwerken (LAN) können ebenfalls durch das neue
System von 1,25 Mbyte/s bzw. 12,5 Mbyte/s auf weit
verbesserte Übertragungsraten gebracht werden.

20 Das Netzwerk unterstützt das PCI-Protokoll auf logischer
Ebene und ist für eine Datenübertragung mittels des Burst-
Mechanismus optimiert. Das Netzwerk kann eine Durchsatzrate
von 60 MByte/s (480 Mbit/s !) bei einem 16 Byte-Burst
zwischen zwei Rechnerknoten erzielen wobei der räumliche
25 Abstand zwischen den Rechnern mehr als zehn Meter betragen
kann. Die Daten-Durchsatzrate bei obigem Beispiel mit LWL
beträgt 30 MByte/s bei ca. vierfachen Produktkosten.

Auf logischer Ebene wird das PCI-Protokoll vollständig und
30 PCI-compliant unterstützt, d.h. Protokollumsetzungen
entfallen vollständig. Auf physikalischer Ebene werden die
taktsynchronen Signale des PCI-Protokolls auf eine asynchrone
Signalisierung (taktunabhängige Signalisierung) umgesetzt, so
daß Leitungslängen bis zu 15m erreicht werden können. Aus
35 Geschwindigkeitsgründen sollten die Leitungslängen bei ca.
10m liegen.

Das PCI-Busprotokoll ist ein synchrones Protokoll, d.h. alle Signale (Steuer- und Datensignale) werden in Bezug zu einem Taktsignal bewertet (beim PCI-Protokoll positiv steigende Flanke des Taktsignals). Da ein elektrisches Signal in einem Medium eine endliche Ausbreitungsgeschwindigkeit besitzt, muß die Bus-Leitungslänge begrenzt werden, um ein konsistentes Taktsignal zur Steuerung des Busses zu gewährleisten (Taktsignal hat zum gleichen Zeitpunkt verschiedene Formen an den Enden der Leitung).

10

Sollen Informationen über eine größere Distanz übertragen werden, muss auf die Signal-Synchronisation verzichtet werden, und ein asynchrones Verfahren gewählt werden. Bei der vorliegenden Erfindung wurden zur Erreichung einer asynchronen Signalisierung je eine zusätzliche Steuerleitung für die Steuerleitungen "Initiator-Ready" (IRDY#) und TargetReady (TRDY#) eingeführt, die das nicht vorliegende Taktsignal "simulieren". Die beiden jeweils zu einer Steuerart gehörenden Leitungen arbeiten gegenläufig, so daß zum einen die für das Protokoll notwendigen Zeit-Informationen des Taktsignals aus den Steuerleitungen gewonnen werden können, zum anderen durch die Gegenläufigkeit eine höhere Zuverlässigkeit durch den zum Teil redundanten Informationsgehalt erreicht wird. Der redundante Informationsgehalt kann in State-Machines zur Überwachung des Protokolls gegen einstreulende Leitungsfehler verwendet werden [1,2]. Entgegen üblichen Handshake-Verfahren für asynchrone Protokolle, finden bei dieser Lösung keine Zeitverzögerungen durch "Rücksignalisierungen" statt.

30

Ein Ausführungsbeispiel des erfindungsgemäßen PCI Protokolls ist in der Zeichnung dargestellt und wird im folgenden näher beschrieben. Dabei zeigt

35 Figur 1 ein Protokolldiagramm mit den wichtigsten PCI-Signalen bei einem lesenden Datentransfer von einem Target zu einem Initiator.

Die Figur zeigt die wichtigsten PCI-Signale bei einem lesenden Datentransfer von einem Target zu einem Initiator-Device. Im standardisierten PCI-Protokoll sind die beiden
5 Steuersignale IRDY# (Initiator-Ready, low aktiv) und TRDY# (Target-Ready, low aktiv) für die Signalisierung der eigentlichen Datenübertragung verantwortlich. Die beiden Signale sind in der Figur grau dargestellt und fehlen im erfindungsgemäß erweiterten PCI-Protokoll (das Taktsignal CLK
10 fehlt ebenfalls). Statt IRDY# sind im erweiterten Protokoll die Signale IRDY1# und IRDY2# und statt TRDY# die Signale TRDY1# und TRDY2# zu finden. Wie die Figur zeigt, startet eine Datenübertragung mit der Aktivierung der beiden Signale IRDY1# und TRDY1#. Nach Übernahme des Datums werden die
15 beiden Signale deaktiviert und ihre "Mitspieler" IRDY#2 und TRDY#2 (d.h. die entsprechenden gegenläufigen Signale) werden aktiviert. Wird vom Sender bzw. Empfänger ein Wait-State gefordert, wird das entsprechende Signal erst später aktiviert (High-Pegel). Dies ist mit dem standardisierten
20 PCI-Protokoll konform, wie ein Vergleich zwischen den Signalen IRDY#, IRDY1# und IRDY2# im Taktzyklus 6 zeigt. Die Figur verdeutlicht ebenfalls, wie die beiden Steuersignalspaare jeweils eingesetzt werden, um notwendige zeitliche Informationen des Taktsignals zu erhalten, ohne auf
25 das Taktsignal selbst angewiesen zu sein. Alle anderen Steuersignale benötigen diese Takt-Informationen im strengen Sinne nicht, da diese während einer PCI-Datenübertragung nur einmalig aktiviert werden dürfen (siehe PCI-Spezifikation, [3]). Zur korrekten Arbeitsweise des erweiterten Protokolls
30 ist nur Sorge zu treffen, dass die Daten auf den Leitungen nicht erst nach der Aktivierung der entsprechenden Steuersignale gültig werden (z.B. für FRAME#, Takt 2). Das heisst, die Daten müssen vor Aktivierung der entsprechenden Steuersignale schon auf den Datenleitungen stabil anstehen.
35 Im einfachsten Fall verzögert der Sender die Steuersignale um einige Nanosekunden.

In diesem Dokument sind folgende Literaturstellen zitiert:

- [1] Küfner, H.: *An Advanced Design Methodology for Fast State Machines in Programmable Logic Devices*, Interner Vortrag, FB
5 Informatik der FernUniversität Hagen, 1997
- [2] Küfner, H.: *Ein dynamisch fehlertolerantes, echtzeitfähiges und verteiltes Rechensystem, Mehrrechnersystem zur Tolerierung von transienten, intermittierenden und permanenten Fehlern*, Promotion im FB
10 Informatik der Fernuniversität Hagen, Shaker Verlag, 1998
-) [3] PCI Special Interest Group: *PCI bus specification*,
Revision 2.0, Portland, Oregon, 1993.

Patentansprüche

1. Verfahren zur Übertragung von Informationen über größere Distanzen zwischen Peripheriegeräten die an einem PCI-Bus
5 angeschlossenen sind, wobei der PCI-Bus mit einer Steuerleitung InitiatorReady (IRDY#) und mit einer Steuerleitung TargetReady (TRDY#) betrieben wird,
10 dadurch gekennzeichnet,
15 dass zur asynchronen Signalisierung zwischen den Geräten je eine zusätzliche Steuerleitung für die Steuerleitungen InitiatorReady (IRDY#) und TargetReady (TRDY#) eingeführt werden und ein nicht vorliegendes Taktsignal mit den
20 Steuerleitungen Initiator-Ready und Target-Ready simuliert wird, die den Datenaustausch zwischen den Geräten ohne handshake-typische Rücksignalisierung ermöglichen.
2. Verfahren nach Patentanspruch 1, wobei die jeweiligen
25 Paare der Steuerleitungen Initiator-Ready (IRDY1#, IRDY2#) und der Steuerleitungen Target-Ready (TRDY1#, TRDY2#) gegenläufig betrieben werden, und die für das PCI-Protokoll notwendigen Zeit-Informationen des Taktsignals aus den Steuerleitungen gewonnen werden.
3. PCI-Busprotokoll zur digitalen Signalübertragung auf einem PCI Bus, wobei mindestens zwei an den Bus
30 angeschlossene Peripheriegeräte Datenaustausch durchführen können indem eines der Peripheriegeräte als Initiator und das andere Peripheriegerät als Target agiert, und die betroffenen Peripheriegeräte durch Signalisierungskanäle aufeinander synchronisiert werden,
35 dadurch gekennzeichnet,
40 dass der Informationsaustausch zwischen den als Initiator und Target agierenden Peripheriegeräten ohne festes Taktsignal (CLK) synchronisiert wird.

4. PCI-Busprotokoll nach Patentanspruch 3,
dadurch gekennzeichnet,
dass die Funktion des im standardisierten PCI-Busprotokoll
5 zur Synchronisation der Peripheriegeräte verwendeten
Taktsignals (CLK) durch zwei zueinander gegenläufige Signale
(IRDY1#, IRDY2#) übernommen wird.
5. PCI-Busprotokoll nach Patentanspruch 4,
10 dadurch gekennzeichnet,
dass die zwei zueinander gegenläufigen Signale (IRDY1#,
IRDY2#) das im standardisierten PCI-Busprotokoll die
Aktivierung des Initiators anzeigende Signal (IRDY#)
ersetzen.
- 15 6. PCI-Busprotokoll nach Patentanspruch 3,
dadurch gekennzeichnet,
dass das im standardisierten PCI-Busprotokoll die Aktivierung
des Initiators anzeigende Signal (IRDY#) durch zwei
20 zueinander gegenläufige Signale (IRDY1#, IRDY2#) ersetzt
wird, und diese Signale (IRDY1#, IRDY2#) die im
Datenaustausch beteiligten Peripheriegeräte (Initiator,
Target) quasi-synchronisieren, und das im standardisierten
PCI-Busprotokoll die Aktivierung des Targets anzeigende
25 Signal (TRDY#) durch zwei zueinander gegenläufige Signale
(TRDY1#, TRDY2#) ersetzt wird.
7. Verwendung des PCI-Busprotokolls nach einem der
Patentansprüche 3 bis 6 zur Datenübertragung zwischen einem
30 Target und einem vom Target mehr als 30 cm entfernten
Initiator, wobei der Abstand zwischen Target und Initiator
entlang der Leitungsstrecke des PCI-Busses zwischen Target
und Initiator gemessen wird.

